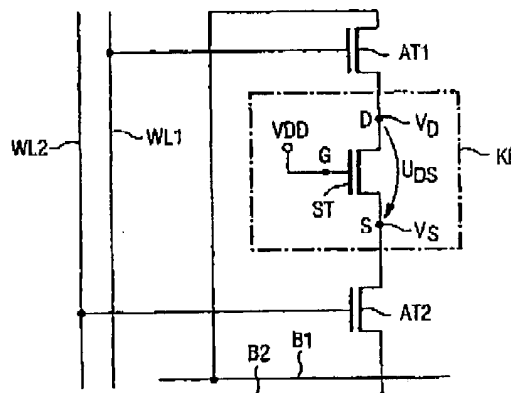


PCTWELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁷ : G11C 8/00		A2	(11) Internationale Veröffentlichungsnummer: WO 00/19437
		(43) Internationales Veröffentlichungsdatum:	6. April 2000 (06.04.00)
(21) Internationales Aktenzeichen: PCT/DE99/03151		(81) Bestimmungsstaaten: CN, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) Internationales Anmeldedatum: 30. September 1999 (30.09.99)		Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>	
(30) Prioritätsdaten: 198 45 053.2 30. September 1998 (30.09.98) DE			
(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).			
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): RAJ, Kumar, Jain [IN/SG]; 166, Kallang Way, 349249 Singapur (SG). EHREN- TRAUT, Herbert [DE/DE]; Heidingsfelder Weg 66, D-85072 Eichstätt (DE).			
(74) Gemeinsamer Vertreter: SIEMENS AKTIENGE- SELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).			
(54) Title: DUAL-PORT MEMORY LOCATION			
(54) Bezeichnung: DUAL-PORT SPEICHERZELLE			
(57) Abstract			
<p>The invention relates to a dual-port DRAM memory location having a capacitor and two transfer gates whose load paths are connected in series. Said series connection is arranged between two data transmission lines. This arrangement serves to provide a dual-port memory location which, independent of one another, can be read or written by two data processing units. The decisive advantage of the inventive memory locations in a DRAM memory architecture is the size-optimized design, i.e. the possibility of providing a memory architecture with substantially reduced space requirements. The inventive memory location is very immune to noise due to its design, i.e. due to the small number of switching elements and short length of conductor paths. The small number of transistors and short length of conductor paths also permits to reduce the time required for accessing the data. The invention also relates to a DRAM semiconductor memory having dual-port memory locations.</p>			
(57) Zusammenfassung			
<p>Die Erfindung betrifft eine Dual-Port Speicherzelle und einen DRAM-Halbleiterspeicher mit Dual-Port Speicherzellen. Die Erfindung betrifft eine Dual-Port DRAM Speicherzelle mit einem kapazitiven Element und zwei Auswahltransistoren, deren Laststrecken in Reihe geschaltet sind und diese Reihenschaltung zwischen zwei Datenleitungen angeordnet ist. Durch diese Anordnung läßt sich die Dual-Port-Speicherzelle unabhängig voneinander von zwei Datenverarbeitungseinheiten auslesen und beschreiben. Der entscheidende Vorteil der erfindungsgemäßen Speicherzellen in einer DRAM-Speicherarchitektur liegt in einem flächeneffizienten Design auf, das heißt in der Möglichkeit eine Speicherarchitektur mit deutlich reduziertem Flächenaufwand bereitzustellen. Die erfindungsgemäße Speicherzelle ist aufgrund ihres Designs, d.h. aufgrund der geringen Anzahl von Schaltelementen und niedrigen Leiterbahnlängen, sehr rauschunempfindlich. Die geringere Anzahl der Transistoren und Leiterbahnlänge hat außerdem sehr niedrige Zugriffszeit zur Folge. Ferner betrifft die Erfindung einen DRAM-Halbleiterspeicher mit Dual-Port Speicherzellen.</p>			



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AI.	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauritanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

WO 00/19437

1

PCT/DE99/03151

Beschreibung

Dual-Port Speicherzelle

- 5 Die Erfindung betrifft eine Dual-Port Speicherzelle und einen
DRAM-Halbleiterspeicher mit Dual-Port Speicherzellen

Als Dual-Port Speicherzellen werden alle Speicherzellen bezeichnet, die genau zwei Datenleitungen aufweisen. Eine als
10 statische Speicherzelle ausgebildete Dual-Port Speicherzelle
(static random access memory; SRAM) enthält typischerweise
acht Transistoren, jeweils vier Auswahltransistoren (Transfer-Gates) und vier Speichertransistoren (Inverter). Diese
Transistoren sind jeweils mit zwei Wortleitungen (Auswahlleitungen) und mit zwei Bitleitungen (Datenleitungen) verbunden.
15 Dynamische Dual-Port Speicherzellen (dynamic random access memory; DRAM) sind bislang nicht bekannt.

Künftige mikroelektronische Schaltungen werden komplizierte
20 Speicherarchitekturen mit Transistorenzahlen im Bereich von
 10^{12} bis 10^{15} realisieren. Eine aus ökonomischen Gründen elementare Randbedingung kommt hier ohne Zweifel einem möglichst geringen Flächenaufwand jeder der Speicherzellen auf dem
Halbleiterchip zu. Die Gesamtzahl der Transistoren einer einzelnen Speicherzelle sowie deren Verdrahtungsaufwand, bei dem
25 vorgegebenen "Design-Rules" beachtet werden müssen, bestimmt im wesentlichen die Größe der Speicherzelle und somit den Flächenaufwand des aus einer Vielzahl von derartigen Speicherzellen aufgebauten Halbleiterspeichers.

30 Eine weitere sehr wichtige Randbedingung, die insbesondere für den die Speicherzellen enthaltenden Halbleiterspeicher eine sehr wichtige Rolle spielt, ergibt sich aus der Forderung einer möglichst geringen Zugriffszeit auf die einzelnen
35 Speicherzellen des Halbleiterspeichers. Die Verkürzung der effektiven Zugriffszeit ist insbesondere bei den im Prinzip sehr langsamen, dynamischen Speichern (DRAMs) sehr wichtig,

WO 00/19437

2

PCT/DE99/03151

um keinen zu großen Unterschied in Bezug auf die Taktraten der heute standardmäßig eingesetzten Prozessoren entstehen zu lassen. Die Zugriffszeit bei einem Halbleiterspeicher ergibt sich im wesentlichen aus der Laufzeit der Datensignale auf den Wortleitungen und aus der Umladung der Speicherkapazitäten. Da jedoch bei einem Übergang eines Halbleiterspeichers von 1-Port-Speicherzellen auf 2-Port-Speicherzellen die effektive Leiterbahnlänge um etwa 40% zunimmt, ergibt sich unerwünschterweise eine entsprechende Zunahme der Signallaufzeiten und somit eine Zunahme der Zugriffszeiten. Aufgrund der dadurch verursachten zusätzlichen parasitären Kapazitäten und Widerstände in den Wortleitungen und Datenleitungen vergrößern sich die Signalwechselzeiten und somit die Zugriffszeiten auf den einzelnen Speicherzellen erheblich.

Der vorliegenden Erfindung liegt daher die Aufgabe zu Grund, eine dynamische Dual-Port Speicherzelle mit einem platzsparendem Design anzugeben.

Erfindungsgemäß wird diese Aufgabe durch eine Dual-Port-Speicherzelle mit den Merkmalen des Patentanspruchs 1 gelöst.

Die erfindungsgemäße Dual-Port-Speicherzelle weist in der bevorzugten Ausgestaltung jeweils ein als Speichertransistor ausgebildetes kapazitives Element und zwei Auswahltransistoren auf, deren Laststrecken in Reihe geschaltet sind und diese Reihenschaltung zwischen zwei Datenleitungen angeordnet ist. Durch diese Anordnung kann eine Dual-Port-Speicherzelle parallel von zwei Datenverarbeitungseinheiten ausgelesen und beschrieben werden.

Es wäre selbstverständlich auch denkbar das kapazitive Element als zwei miteinander kurzgeschlossenen Kondensatoren, die jeweils zwischen dem Mittelabgriff der Auswahltransistoren und einem Bezugspotential angeordnet sind, zu realisieren. DRAM-Speicherzellen sind insbesondere aufgrund deren verhältnismäßig kleinen Kapazitäten und geringen effektiven

WO 00/19437

3

PCT/DE99/03151

Leitungslängen bei dynamischen Halbleiterspeichern besonders vorteilhaft, da hier die entsprechenden Speicherzellen sehr klein dimensioniert werden können.

- 5 Der entscheidende Vorteil der erfindungsgemäßen Dual-Port Speicherzellen in einer DRAM-Speicherarchitektur liegt, wie bereits erwähnt, in einem flächeneffizienten Design, das heißt in der Möglichkeit eine Speicherarchitektur mit deutlich reduziertem Flächenaufwand bereitzustellen. Insbesondere, wenn das kapazitive Element als CMOS-Transistor ausgebildet ist, kann jeder der Laststreckenanschlüsse des CMOS-Transistors mit jeweils einem Laststreckenanschluß der Auswahltransistoren kurzgeschlossen sein. Besonders vorteilhaft ist es dabei, wenn die Anschlußknoten der CMOS-Transistoren mit den Anschlußknoten der Auswahltransistoren zusammenfallen. Durch diese Einsparung von flächenintensiven Anschlußknoten kommt die erfindungsgemäße Dual-Port-Speicherzelle mit einem sehr niedrigen Flächenbedarf aus, wodurch sich mithin Dual-Port DRAM-Speicherzellen besonders kostengünstig herstellen lassen. Die Einsparung von Anschlußknoten läßt sich jedoch auch bei als Kondensatoren ausgebildeten kapazitiven Elementen vorteilhaft realisieren.

- Bei der erfindungsgemäßen Speicherzelle weisen beide Ausgangspfade des kapazitiven Elementes ein definiertes, annähernd gleich großes Potential auf. Eine derartige Funktionalität konnte bei herkömmlichen DRAM-Speicherzellen DPS bislang nicht gewährleistet werden, da hier jeweils ein Anschluß des kapazitiven Elementes immer "floatet", d. h. auf einem undefinierten Potential liegt. DRAM-Speicherzellen mußten daher in regelmäßigen Abständen wiederaufgeladen werden (Refresh-Vorgang). Während dieses Refresh-Vorganges konnte die DRAM-Speicherzelle nicht ausgelesen oder beschrieben werden, wodurch sich undefinierte Schaltzustände nie ganz vermeiden lassen. Diese oben genannte Funktionalität konnte daher bislang nur von SRAM-Speicherzellen erzielt werden. Durch die erfindungsgemäße Dual-Port-DRAM-Speicherzelle lassen sich die

WO 00/19437

4

PCT/DE99/03151

oben beschriebenen Vorteile einer DRAM-Speicherzelle, d. h. kürzere Zugriffszeit, Flächenoptimierung, etc., mit der Funktionalität einer SRAM-Speicherzelle in Bezug auf dessen definierten Schaltzustände verknüpfen.

5

Die erfindungsgemäße Speicherzelle ist aufgrund ihres Designs, d. h. aufgrund der geringen Anzahl der Schaltungselemente und niedrigen Leiterbahnlängen, überdies sehr rauschunempfindlich. Die Speicherzelle zeigt daher ein verdeutlicht verbessertes Signal-Rausch-Verhältnis (Signal Noise Ratio; SNR) im Vergleich zu herkömmlichen Dual-Port-Speicherzellen.

10

Die geringere Anzahl der Transistoren und die geringen effektiven Leiterbahnlängen bewirkt außerdem sehr niedrige Zugriffszeiten. Aufgrund der verringerten parasitären Kapazitäten und Widerstände im kritischen Leitungspfad wird die Zugriffszeit überdies noch verbessert. Dadurch lassen sich Speichersysteme bereitstellen, die bei gleicher Taktfrequenz eine höhere Leistungsfähigkeit aufweisen.

15

20

Insbesondere eignet sich die Erfindung besonders vorteilhaft bei sogenannten Multi-Port-Halbleiterspeichern, die eine Vielzahl von erfindungsgemäßen Dual-Port DRAM-Speicherzellen aufweisen.

25

Die Unteransprüche sind auf bevorzugte Ausgestaltungen und Weiterbildungen der Erfindung gerichtet.

Die Erfindung wird nachfolgend anhand der in den Figuren der Zeichnung angegebenen Ausführungsbeispiele näher erläutert. Es zeigt dabei:

30

Figur 1 das Schaltbild eines ersten Ausführungsbeispiels einer erfindungsgemäßen Dual-Port-Speicherzelle;

35

WO 00/19437

5

PCT/DE99/03151

Figur 2 das Schaltbild eines zweiten Ausführungsbeispiels einer erfindungsgemäßen Dual-Port-Speicherzelle;

5 Figur 3 ein vorteilhaftes Ausführungsbeispiel eines DRAM-Halbleiterspeichers mit erfindungsgemäßen Dual-Port-Speicherzellen.

10 In allen Figuren der Zeichnung sind gleiche oder funktionsgleiche Elemente, sofern dies nicht anders angegeben ist, mit gleichen Bezugszeichen versehen. Nachfolgend werden alle Dual-Port DRAM-Speicherzellen, sofern nichts anderes angegeben ist, kurz als Speicherzellen bezeichnet.

15 Figur 1 zeigt das Schaltbild eines ersten Ausführungsbeispiels einer erfindungsgemäßen Dual-Port DRAM-Speicherzelle DPS. Die Speicherzelle DPS weist zwei Auswahltransistoren AT1, AT2 sowie ein kapazitives Element KE auf. In Figur 1 ist das kapazitive Element KE als CMOS-Speichertransistor ST, dessen Gateanschluß G mit einem Versorgungspotential VDD verbunden ist, ausgebildet. Der Drainanschluß D des Speichertransistors ST ist über die Laststrecke des ersten Auswahltransistors AT1 mit einer ersten Datenleitung B1 verbunden. Der Sourceanschluß S des Speichertransistors ST ist über die Laststrecke des zweiten Auswahltransistors AT2 mit einer
25 zweiten Datenleitung B2 verbunden. Die Laststrecken der Auswahltransistoren AT1, AT2 sowie des Speichertransistors ST sind somit in Reihe geschaltet und zwischen der ersten Datenleitung B1 und der zweiten Datenleitung B2 angeordnet. Die Steueranschlüsse der Auswahltransistoren AT1, AT2 sind mit
30 jeweils einer Wortleitung WL1, WL2 verbunden. Über ein Auswahlsignal auf den Wortleitungen WL1, WL2 sind die entsprechenden Auswahltransistoren AT1, AT2 getrennt und unabhängig ansteuerbar.

35 Die Speicherzelle DPS ist über die Datenleitungen B1, B2 mit zwei nachgeschalteten Datenverarbeitungseinheiten verbunden. Diese Datenverarbeitungseinheiten können beispielsweise als

WO 00/19437

6

PCT/DE99/03151

Mikrocomputer, Prozessor, Logikschaltung, Bus, etc. ausgebildet sein. Typischerweise, jedoch nicht notwendigerweise, werden die Datenverarbeitungseinheiten mit unterschiedlichen Taktfrequenzen betrieben. Über die Datenleitungen B1, B2 lassen sich unabhängig voneinander bidirektionell Daten aus der Speicherzelle DPS, d. h. aus dem Speichertransistor ST, einlesen und auslesen. Über die Wortleitungen WL1, WL2 lassen sich die entsprechenden Auswahltransistoren AT1, AT2 in den leitenden Zustand bzw. in einen gesperrten Zustand steuern.

10

Figur 2 zeigt das Schaltbild eines zweiten Ausführungsbeispiels einer erfindungsgemäßen Dual-Port-Speicherzelle. Bei der Speicherzelle DPS in Figur 2 wurde das kapazitive Element KE mittels zweier parallel angeordneter Speicherkondensatoren SK1, SK2 realisiert. Die Speicherkondensatoren SK1, SK2 sind als DRAM-Kondensatoren ausgebildet, die jeweils mit ihren ersten Kondensatoranschlüssen (Kondensatorplatten) miteinander und jeweils mit einem Laststreckenanschluß der Auswahltransistoren AT1, AT2 verbunden sind. Die jeweils zweiten Kondensatoranschlüsse sind („floatend“) mit einem Versorgungspotential VREF beaufschlagt. Besonders vorteilhaft ist es, wenn die ersten Kondensatoranschlüsse mit den jeweiligen Laststreckenanschlüssen der zugeordneten Auswahltransistoren AT1, AT2 zur Gewährleistung eines flächenoptimierten Designs zusammenfallen.

25

Zusätzlich kann eine Logikschaltung bzw. eine Zustandsmaschine vorgesehen sein, die den gespeicherten Dateninhalt der Speicherzelle DPS regelmäßig wiederauflädt. Eine derartige Logikschaltung bzw. Zustandsmaschine wird im Fachjargon als Refresh-Schaltung RS bezeichnet. Diese Refresh-Schaltung RS enthält im vorliegenden Ausführungsbeispiel den zweiten Auswahltransistor AT2. Im vorliegenden Ausführungsbeispiel ist lediglich zwischen dem kapazitiven Element KE und der zweiten Datenleitung B2 eine solche Refresh-Schaltung RS vorgesehen. Es wäre selbstverständlich auch denkbar, zusätzlich oder al-

30

35

WO 00/19437

7

PCT/DE99/03151

ternativ eine (weitere) Refresh-Schaltung zwischen der ersten Datenleitung B1 und dem kapazitiven Element KE vorzusehen.

- Die Refresh-Schaltung RS kann in bekannter Weise durch zwei Leseverstärker und eine Voraufchargeschaltung gebildet werden. Diese zwei Leseverstärker und die Voraufchargeschaltung könnten Bestandteil des Bitleitungsdekoders des Halbleiterspeichers sein.
- 10 Besonders vorteilhaft ist es, wenn eine sogenannte Autorefresh-Schaltung RS vorgesehen ist, bei der das Wiederaufladen der Speicherzelle DPS automatisiert ist. Über einen einfachen taktgesteuert Ringzähler lassen sich fortwährend in auf- oder absteigender Folge die einzelnen Adressen der verschiedenen Speicherzellen generieren, die dann in den entsprechenden Zeitabständen durch die Voraufchargeschaltung oder durch eine Referenzspannungsquelle wiederaufgeladen werden.

- Figur 3 zeigt anhand eines vereinfachten Schaltbildes ein vorteilhaftes Ausführungsbeispiel eines DRAM-Halbleiterspeichers mit erfindungsgemäßen Dual-Port-Speicherzellen.

- Bei einer herkömmlichen DRAM-Speicherzelle ist jeweils ein Auswahltransistor mit einem Speicherkondensator verbunden. Der besondere Vorteil bei der erfindungsgemäßen Speicherzelle liegt nun darin, daß jeweils zwei Kondensatoren des Speicherfeldes SF, zum Beispiel SK0, SK1, intern miteinander kurzgeschlossen sind. Dadurch entstehen Dual-Port-Speicherzellen DPS in einem Dual-Port DRAM-Halbleiterspeicher. Die beiden Ports sind dabei voneinander völlig unabhängig. Besonders vorteilhaft ist es, wenn die beiden Ports aufgetrennt sind in einen Schreib-/Lese-Port und in einen Refresh-Port, der nur für den Refresh bzw. das Wiederaufladen des Speicherfeldes SF zuständig ist. Die Dekoder für die Schreib-/Lese-Ports DRW-B, DRW-WL können dabei mit den ungeradzahligen, während die Dekoder für die Refresh-Ports DR-B, DR-WL mit den geradzahligen Daten-/Auswahlleitungen verbunden sein.

WO 00/19437

8

PCT/DE99/03151

Die Speicherdichte bei einem derart ausgestaltetem Dual-Port
DRAM-Halbleiterspeicher wird dadurch im Vergleich zu einem
herkömmlichen Halbleiterspeicher zwar halbiert, ist aller-
5 dings immer noch um den Faktor 20 höher als bei einem her-
kömmlichen SRAM-Halbleiterspeicher. Ein derart ausgestalteter
erfindungsgemäßer Dual-Port DRAM-Halbleiterspeicher kann ei-
nen herkömmlichen SRAM-Halbleiterspeicher mittlere Größe auf
einem Chip mit Embedded DRAM-Speicherzellen sogar ersetzen.
10 Bei all diesen Anwendungen ist sowohl die wesentlich höhere
Speicherdichte eines als DRAM ausgestalteten Halbleiterspei-
chers im Vergleich zu einer 6-Transistorenspeicherzelle eines
SRAM-Halbleiterspeichers und die damit verbundene niedrigere
Verlustleistung von besonderem Vorteil.

15

Nachfolgend wird anhand von Figur 1 die Funktionsweise der
erfindungsgemäßen Dual-Port-Speicherzelle DPS kurz beschrie-
ben:

20 Während eines Schreibvorganges über die erste Datenleitung D1
wird der erste Auswahltransistor AT1 in den leitenden Zustand
gesteuert. Das kapazitive Element KE wird dadurch mit dem Po-
tential $VDD - V_{th}$ geladen, wenn eine digitale "1" in die ent-
sprechende Speicherzelle DPS geschrieben werden soll, oder
25 wird auf das Potential VSS entladen, wenn beispielsweise eine
digitale "0" in die entsprechende Speicherzelle DPS geschrie-
ben werden soll.

Die Erfindung nutzt die Tatsache aus, daß für annähernd glei-
30 che Potentiale am Gateanschluß und Sourceanschluß des Spei-
chertransistors ST der Spannungsabfall UDS zwischen Source-
und Drain-Anschluß äquivalent zu dessen Einsatzspannung V_{th}
ist. Da der Gateanschluß des Speichertransistors ST jedoch
mit dem Versorgungspotential VDD verbunden ist, weisen der
35 Source-Anschluß und Drain-Anschluß des Speichertransistors ST
dasselbe Potential auf, d. h. $V_S = V_D = VDD - V_{th}$ für eine
digitale "1" und $V_S = V_D = VSS$ für eine digitale "0". Da das

WO 00/19437

9

PCT/DE99/03151

Drainpotential VD und das Sourcepotential VS somit auf demselben Potential liegen, kann von jeder der Datenverarbeitungseinheiten auf die in dem Speichertransistor ST gespeicherte Information ohne Verringerung der Spannung in der Speicherzelle DPS zugegriffen werden.

Typischerweise sollte bei einer Dual-Port-Speicherzelle DPS bei einem Schreibvorgang maximal eine der angeschlossenen Datenverarbeitungseinheiten schreibberechtigt sein. Über eine einfache Logik-Schaltung läßt sich verhindern, daß die jeweils andere Datenverarbeitungseinheit gleichzeitig auf dieselbe Speicherzelle DPS schreiben kann. Umgekehrt ist es jedoch vorteilhafterweise möglich, daß beide an der Dual-Port-Speicherzelle angeschlossenen Datenverarbeitungseinheiten Daten aus dieser Speicherzelle DPS auslesen können.

Die Erfindung eignet sich insbesondere bei in CMOS-Technologie hergestellten Speicherzellen. Die Speicherzellen sind jedoch nicht auf eine bestimmte Transistortechnologie beschränkt, sondern können durch jede Art von feldeffektgesteuerten, selbstleitenden oder selbstsperrenden, typischerweise in MOS-Technologie hergestellten Transistoren realisiert werden. Denkbar wären jedoch auch bipolar ausgebildete Speicherzellen.

In einer Weiterbildung können selbstverständlich alle bekannten Maßnahmen nach dem Stand der Technik zur Flächenoptimierung sowie zur Verkürzung der Zugriffszeit, beispielsweise durch Optimierung der Designrules, angewendet werden, um die erfindungsgemäße Dual-Port DRAM-Speicherzelle DPS und somit den entsprechenden aus einer Vielzahl von solchen Speicherzellen aufgebauten Halbleiterspeicher weiterzubilden.

Figur 3 zeigt ein vorteilhaftes Ausführungsbeispiel eines Dual-Port-Halbleiterspeichers mit erfindungsgemäßen Dual-Port-Speicherzellen.

WO 00/19437

10

PCT/DE99/03151

Patentansprüche

1. Dual-Port Speicherzelle (DPS)

- (a) mit einem ersten und einem zweiten Auswahltransistor
5 (AT1, AT2),
(a1) deren Laststrecken in Reihe und zwischen einer ersten und einer zweiten Datenleitung (B1, B2) angeordnet sind und
(a2) deren Steueranschlüsse jeweils mit einer ersten und
10 einer zweiten Wortleitung (WL1, WL2) verbunden sind, wobei die Auswahltransistoren (AT1, AT2) über ihre Steueranschlüsse unabhängig voneinander ansteuerbar sind,
(b) mit einem kapazitivem Element (KE),
15 (b1) das einen ersten Ausgangsanschluß (D), der mit einem Laststreckenanschluß des ersten Auswahltransistor (AT1) verbunden ist, und einen vom ersten Ausgangsanschluß (D) unterschiedlichen zweiten Ausgangsanschluß (S), der mit einem Laststreckenanschluß des
20 zweiten Auswahltransistor (AT2) verbunden, aufweist,
(b2) wobei an den Ausgangsanschlüssen (D, S) annähernd dasselbe Potential (V_D , V_S) anliegt.

2. Dual-Port Speicherzelle nach Anspruch 1,
25 d a d u r c h g e k e n n z e i c h n e t ,
daß das kapazitive Element (KE) als Speichertransistor (ST) ausgebildet ist, dessen Laststrecke zwischen den in Reihe geschalteten Laststrecken der Auswahltransistoren (AT1, AT2) angeordnet ist und der über ein mit einem Versorgungspotential beaufschlagten Steueranschluß (G) steuerbar ist.
30

3. Dual-Port Speicherzelle nach einem der Ansprüche 1 oder 2,
d a d u r c h g e k e n n z e i c h n e t ,
daß das kapazitive Element (KE) bzw. der Speichertransistor
35 (ST) als CMOS-Transistor ausgebildet ist.

WO 00/19437

11

PCT/DE99/03151

4. Dual-Port Speicherzelle nach einem der Ansprüche 2 oder 3,
dadurch gekennzeichnet,
daß die Spannung (U_{DS}) über der Laststrecke des Speichertran-
sistors (ST) dessen Einschaltspannung entspricht.
- 5
5. Dual-Port Speicherzelle nach einem der vorstehenden An-
sprüche,
dadurch gekennzeichnet,
daß das kapazitive Element (KE) als zwei kurzgeschlossene
10 DRAM-Kondenstoren (SK1, SK2) ausgebildet ist, die jeweils mit
ihren ersten Kondenstoranschlüssen miteinander und jeweils
mit einem Laststreckenanschluß der zugeordneten Auswahltran-
sistoren (AT1, AT2) verbunden sind und die jeweils mit ihren
zweiten Kondenstoranschlüssen mit einem Versorgungspotential
15 (VREF) beaufschlagten sind.
6. Dual-Port Speicherzelle nach einem der vorstehenden An-
sprüche,
dadurch gekennzeichnet,
20 daß das kapazitive Element (KE) der Dual-Port Speicherzelle
(DPS) über den ersten und/oder über den zweiten Auswahltran-
sistor (AT1, AT2) unabhängig voneinander sowohl beschreibbar
als auch auslesbar ist.
- 25 7. Dual-Port Speicherzelle nach einem der vorstehenden An-
sprüche,
dadurch gekennzeichnet,
daß mindestens eine Ladeeinrichtung (RS) vorgesehen ist, die
jeweils über mindestens einen der Auswahltransistoren (AT1,
30 AT2) die Kapazität des kapazitiven Elementes (KE) wiederauf-
lädt.
8. Dual-Port Speicherzelle nach Anspruch 7,
dadurch gekennzeichnet,
35 daß einer der Auswahltransistoren (AT1, AT2) Bestandteil der
Ladeeinrichtung (RS) ist.

WO 00/19437

12

PCT/DE99/03151

9. Dual-Port Speicherzelle nach einem der Ansprüche 7 oder 8,
dadurch gekennzeichnet,
die Ladeeinrichtung (RS) Bestandteil eines Bitleitungsdeko-
ders ist, der zumindest einen Leseverstärker und eine Vorauf-
5 ladeschaltung aufweist, und daß die Ladeeinrichtung (RS) ei-
nen taktgesteuerten Ringzähler aufweist, der über seinen Zähler-
stand in regelmäßigen Zeitabständen eine Adresse für je-
weils eine Speicherzelle generiert und über den die Ladeein-
richtung (RS) die Kapazität des kapazitiven Elementes (KE)
10 automatisch wiederauflädt und daß die.

10. Dual-Port Speicherzelle nach einem der vorstehenden An-
sprüche,
dadurch gekennzeichnet,
15 daß die Datenleitungen (B1, B2) jeweils mit unterschiedlicher
Taktfrequenz betrieben werden.

11. DRAM-Halbleiterspeicher mit einer Vielzahl von Dual-Port
Speicherzellen (DPS) nach einem der vorstehenden Ansprüche.

WO 00/19437

PCT/DE99/03151

 $\frac{1}{2}$

FIG 1

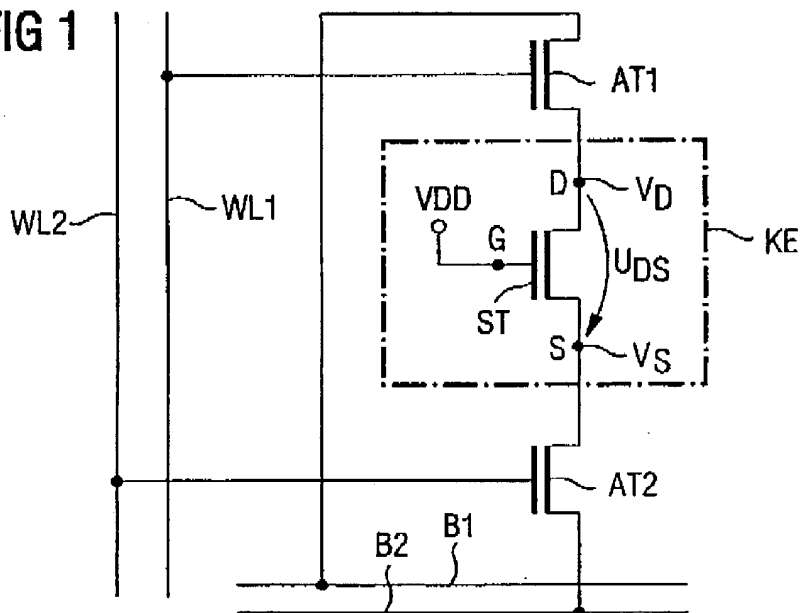
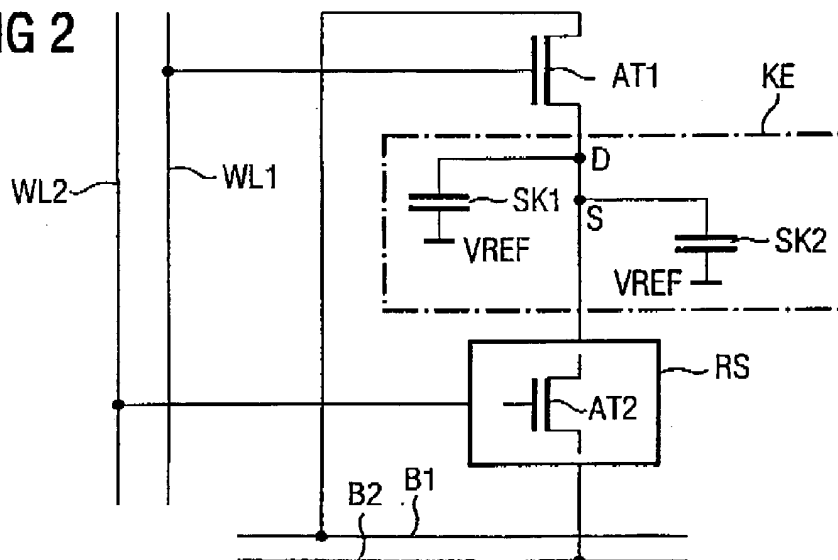


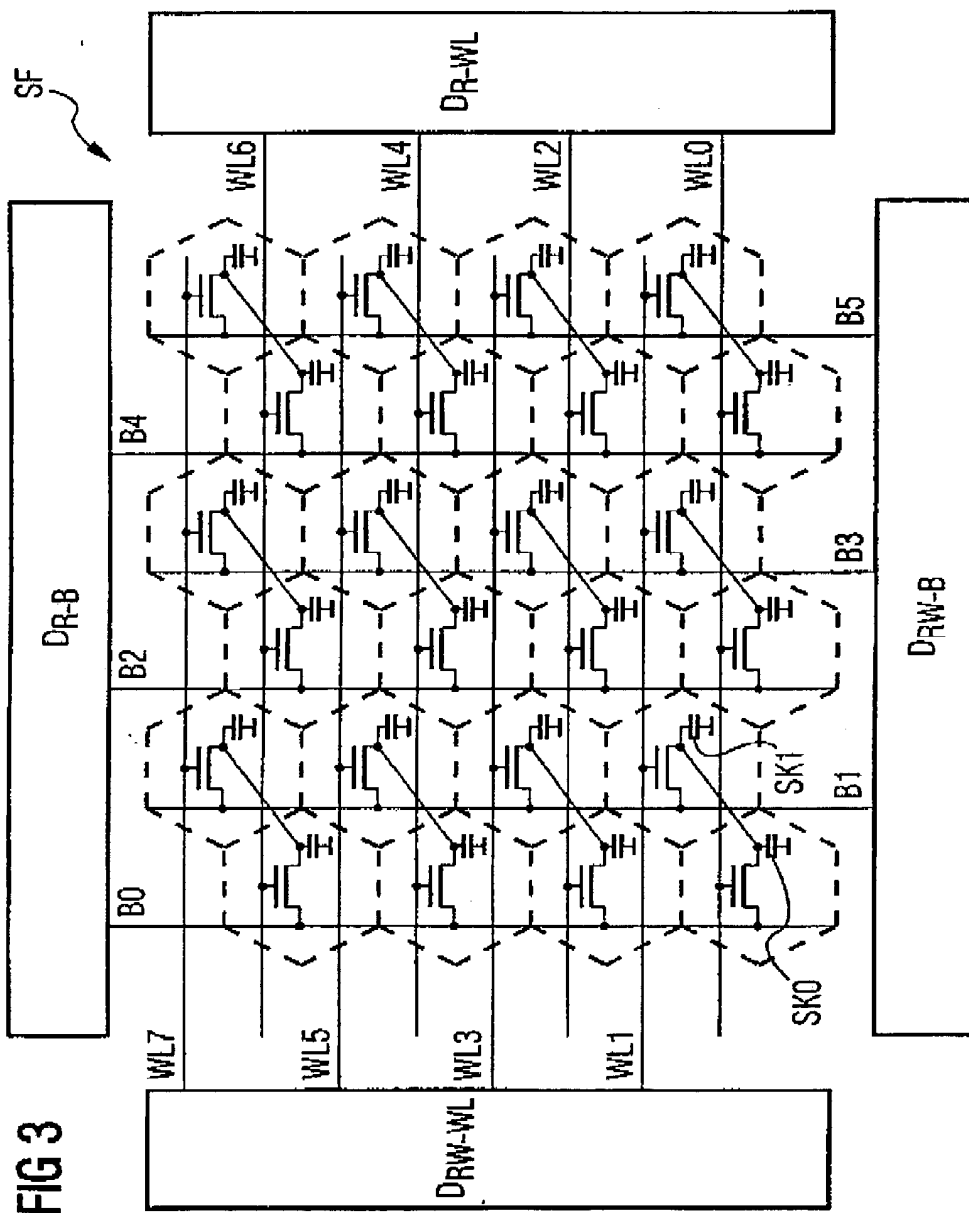
FIG 2



WO 00/19437

PCT/DE99/03151

2/2



PCTWELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁷ : G11C 8/00	A3	(11) Internationale Veröffentlichungsnummer: WO 00/19437 (43) Internationales Veröffentlichungsdatum: 6. April 2000 (06.04.00)
(21) Internationales Aktenzeichen: PCT/DE99/03151 (22) Internationales Anmeldedatum: 30. September 1999 (30.09.99) (30) Prioritätsdaten: 198 45 053.2 30. September 1998 (30.09.98) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): RAJ, Kumar, Jain [IN/SG]; 166, Kallang Way, 349249 Singapur (SG). EHRENTAUT, Herbert [DE/DE]; Heidlingsfelder Weg 66, D-85072 Eichstätt (DE). (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).		(81) Bestimmungsstaaten: CN, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Mit internationalem Recherchenbericht.</i> <i>Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i> (88) Veröffentlichungsdatum des internationalen Recherchenberichts: 25. Mai 2000 (25.05.00)
(54) Title: DUAL-PORT MEMORY LOCATION (54) Bezeichnung: DUAL-PORT SPEICHERZELLE (57) Abstract <p>The invention relates to a dual-port DRAM memory location having a capacitor and two transfer gates whose load paths are connected in series. Said series connection is arranged between two data transmission lines. This arrangement serves to provide a dual-port memory location which, independent of one another, can be read or written by two data processing units. The decisive advantage of the inventive memory locations in a DRAM memory architecture is the size-optimized design, i.e. the possibility of providing a memory architecture with substantially reduced space requirements. The inventive memory location is very immune to noise due to its design, i.e. due to the small number of switching elements and short length of conductor paths. The small number of transistors and short length of conductor paths also permits to reduce the time required for accessing the data. The invention also relates to a DRAM semiconductor memory having dual-port memory locations.</p> <div data-bbox="852 1144 1364 1543" style="text-align: center;"> </div> <p>(57) Zusammenfassung</p> <p>Die Erfindung betrifft eine Dual-Port Speicherzelle und einen DRAM-Halbleiterspeicher mit Dual-Port Speicherzellen. Die Erfindung betrifft eine Dual-Port DRAM Speicherzelle mit einem kapazitiven Element und zwei Auswahltransistoren, deren Laststrecken in Reihe geschaltet sind und diese Reihenschaltung zwischen zwei Datenleitungen angeordnet ist. Durch diese Anordnung läßt sich die Dual-Port-Speicherzelle unabhängig voneinander von zwei Datenverarbeitungseinheiten auslesen und beschreiben. Der entscheidende Vorteil der erfindungsgemäßen Speicherzellen in einer DRAM-Speicherarchitektur liegt in einem flächeneffizienten Design auf, das heißt in der Möglichkeit eine Speicherarchitektur mit deutlich reduziertem Flächenaufwand bereitzustellen. Die erfindungsgemäße Speicherzelle ist aufgrund ihres Designs, d.h. aufgrund der geringen Anzahl von Schaltelementen und niedrigen Leiterbahnängen, sehr rauschunempfindlich. Die geringere Anzahl der Transistoren und Leiterbahnlänge hat außerdem sehr niedrige Zugriffszeit zur Folge. Ferner betrifft die Erfindung einen DRAM-Halbleiterspeicher mit Dual-Port Speicherzellen.</p>		

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland		Republik Mazedonien	TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von
CA	Kanada	IT	Italien	MX	Mexiko		Amerika
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	UZ	Usbekistan
CG	Kongo	KE	Kenia	NL	Niederlande	VN	Vietnam
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	YU	Jugoslawien
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik	NZ	Neuseeland	ZW	Zimbabwe
CM	Kamerun		Korea	PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
ER	Eritrea	LR	Liberia	SG	Singapur		

INTERNATIONAL SEARCH REPORT

Int. Application No.
PCT/DE 99/03151

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G11C8/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 010 519 A (MATSUMURA TETSUYA ET AL) 23 April 1991 (1991-04-23)	1,2
A	column 5, line 21 -column 6, line 61 column 13, line 58 -column 14, line 9	4
P,A	US 5 923 593 A (HSU FU-CHIEH ET AL) 13 July 1999 (1999-07-13)	1,5
	column 8, line 56 -column 9, line 14; figures 4,8	
X	US 5 327 375 A (HARARI ELIAHOU) 5 July 1994 (1994-07-05)	1,6,9,10
A	column 10, line 5 -column 11, line 22	5
A	US 5 007 022 A (LEIGH ANTHONY W) 9 April 1991 (1991-04-09)	6-10
	the whole document	

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "Z" document member of the same patent family

Date of the actual completion of the international search

28 March 2000

Date of mailing of the international search report

05/04/2000

Name and mailing address of the ISA

European Patent Office, P.O. Box 5016 Patentplan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 051 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Degraeve, L.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/03151

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5010519 A	23-04-1991	JP 1133285 A JP 1158696 A DE 3838942 A	25-05-1989 21-06-1989 24-05-1989
US 5923593 A	13-07-1999	NONE	
US 5327375 A	05-07-1994	US 4958318 A US 5136533 A JP 2133953 A JP 8213566 A	18-09-1990 04-08-1992 23-05-1990 20-08-1992
US 5007022 A	09-04-1991	JP 2005285 A JP 2653689 B	10-01-1990 17-09-1997

Form PCT/ISA/210 (patent family annex) (July 1992)

INTERNATIONALER RECHERCHENBERICHT

		Intern. Anmeldenummer PCT/DE 99/03151
A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 G11C8/00		
Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE Recherchiertes Mindestprüfobjekt (Klassifikationssystem und Klassifikationssymbole) IPK 7 G11C		
Recherchierte aber nicht zum Mindestprüfobjekt gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 010 519 A (MATSUMURA TETSUYA ET AL) 23. April 1991 (1991-04-23)	1,2
A	Spalte 5, Zeile 21 - Spalte 6, Zeile 61 Spalte 13, Zeile 58 - Spalte 14, Zeile 9	4
P, A	US 5 923 593 A (HSU FU-CHIEH ET AL) 13. Juli 1999 (1999-07-13)	1,5
	Spalte 8, Zeile 56 - Spalte 9, Zeile 14; Abbildungen 4,8	
X	US 5 327 375 A (HARARI ELIAHOU) 5. Juli 1994 (1994-07-05)	1,6,9,10
A	Spalte 10, Zeile 5 - Spalte 11, Zeile 22	5
A	US 5 007 022 A (LEIGH ANTHONY W) 9. April 1991 (1991-04-09)	6-10
	das ganze Dokument	
<input type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "I" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindungsgemäßer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfindungsgemäßer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschusses der internationalen Recherche 28. März 2000		Abendedatum des internationalen Recherchenberichts 05/04/2000
Name und Postanschrift der internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentkan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 sport, Fax: (+31-70) 340-3018		Bevollmächtigter Bediensteter Degraeve, L

Formblatt PCT/ISA/210 (Blatt 2) (Juli 1992)

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internat. noles Aktenzeichen

PCT/DE 99/03151

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5010519 A	23-04-1991	JP 1133285 A	25-05-1989
		JP 1158696 A	21-06-1989
		DE 3838942 A	24-05-1989
US 5923593 A	13-07-1999	KEINE	
US 5327375 A	05-07-1994	US 4958318 A	18-09-1990
		US 5136533 A	04-08-1992
		JP 2133953 A	23-05-1990
		JP 8213566 A	20-08-1992
US 5007022 A	09-04-1991	JP 2005285 A	10-01-1990
		JP 2653689 B	17-09-1997

Formblatt PCT/ISA/210 (Anhang Patentfamilie)(Juli 1992)